

日本国特許庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

F-2075-US  
#31705  
T.4504  
4495  
JC530 U.S. PRO  
09/229628  
01/13/99

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日  
Date of Application:

1998年 2月 2日

出願番号  
Application Number:

平成10年特許願第021021号

出願人  
Applicant(s):

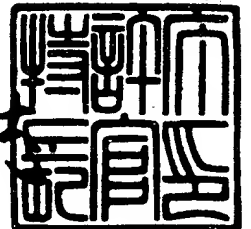
沖電気工業株式会社

Yasutaka SAKAINO et al.  
OKI 4646.01  
FILED 12-13-99

1998年 7月17日

特許庁長官  
Commissioner,  
Patent Office

山佐 建



【書類名】 特許願

【整理番号】 0G-3691

【提出日】 平成10年 2月 2日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/04  
H01L 27/06

【発明の名称】 半導体集積回路装置

【請求項の数】 12

【発明者】

【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会  
社内

【氏名】 境野 康隆

【発明者】

【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会  
社内

【氏名】 上野 譲二

【発明者】

【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会  
社内

【氏名】 梅沢 義秋

【特許出願人】

【識別番号】 000000295

【氏名又は名称】 沖電気工業株式会社

【代理人】

【識別番号】 100089093

【弁理士】

【氏名又は名称】 大西 健治

【手数料の表示】

【予納台帳番号】 004994

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9720320

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路装置

【特許請求の範囲】

【請求項 1】 半導体基板上にソースまたはドレインとして形成された不純物拡散領域と、

前記不純物拡散領域上に形成された第1の抵抗率を有する第1の導電層と、

前記不純物拡散領域と前記第1の導電層とを接続する第1のコンタクトホール群と、

前記第1の導電層上に形成された第2の抵抗率を有する第2の導電層と、

前記不純物拡散領域の上部で前記第1の導電層と前記第2の導電層とを接続する第2のコンタクトホール群とを有する半導体装置であって、

前記第1のコンタクトホール群と前記第2のコンタクトホール群とでは、それぞれのコンタクトホールの総数が異なることを特徴とする半導体集積回路装置。

【請求項 2】 前記第1の抵抗率は前記第2の抵抗率よりも高く、前記第1のコンタクトホール群の総数が前記第2のコンタクトホール群の総数よりも多いことを特徴とする請求項1記載の半導体集積回路装置。

【請求項 3】 半導体基板上に形成されたソース領域と、

前記ソース領域上に形成された第1の抵抗率を有する第1の導電層と、

前記ソース領域と前記第1の導電層とを接続する第1のコンタクトホール群と、

前記第1の導電層上に形成された第2の抵抗率を有する第2の導電層と、

前記ソース領域の上部で前記第1の導電層と前記第2の導電層とを接続する第2のコンタクトホール群と、

半導体基板上に形成されたドレイン領域と、

前記ドレイン領域上に形成された前記第1の抵抗率を有する第3の導電層と、

前記ドレイン領域と前記第3の導電層とを接続する第3のコンタクトホール群と

前記第3の導電層上に形成された前記第2の抵抗率を有する第4の導電層と、

前記ドレイン領域の上部で前記第3の導電層と前記第4の導電層とを接続する第4のコンタクトホール群とを有する半導体装置であって、

前記第1のコンタクトホール群と前記第2のコンタクトホール群とではそれぞれコンタクトホールの総数が異なり、前記第3のコンタクトホール群と前記第4のコンタクトホール群とでは、それぞれのコンタクトホールの総数が異なることを特徴とする半導体集積回路装置。

【請求項4】 前記第1のコンタクトホール群のコンタクトホールの総数と前記第3のコンタクトホール群のコンタクトホールの総数とがそれぞれ等しく、かつ前記第2のコンタクトホール群のコンタクトホールの総数と前記第4のコンタクトホール群のコンタクトホールの総数とがそれぞれ等しいことを特徴とする請求項3に記載の半導体集積回路装置。

【請求項5】 前記第1の抵抗率は前記第2の抵抗率よりも高く、前記第1のコンタクトホール群と前記第3のコンタクトホール群とのコンタクトホールの総数が前記第2のコンタクトホール群と前記第4のコンタクトホール群のコンタクトホールの総数よりも多いことを特徴とする請求項4記載の半導体集積回路装置。

【請求項6】 半導体基板上に第1の方向に延在して形成され、かつ第2の方向に並んで形成される第1および第2の不純物拡散領域と、

前記第1の不純物拡散領域上に形成された第1の抵抗率を有する第1の導電層と、

前記第1の不純物拡散領域と前記第1の導電層とを接続し、前記第1の方向に関して複数個並んで配置された第1のコンタクトホール群と、

前記第1の導電層上に形成された第2の抵抗率を有する第2の導電層と、

前記第1の不純物拡散領域の上部で前記第1の導電層と前記第2の導電層とを接続し、前記第1の方向に関して複数個並んで配置された第2のコンタクトホール群と、

前記第2の不純物拡散領域上に形成された前記第1の抵抗率を有する第3の導電層と、

前記第2の不純物拡散領域と前記第3の導電層とを接続し、前記第1の方向に関して複数個並んで配置された第3のコンタクトホール群と、

前記第3の導電層上に形成された前記第2の抵抗率を有する第4の導電層と、

前記第2の不純物拡散領域の上部で前記第3の導電層と前記第4の導電層とを接

続し、前記第1の方向に関して複数個並んで配置された第4のコンタクトホール群とを有する半導体装置であって、

前記第1のコンタクトホール群は、前記第2のコンタクトホール群の隣接しあうコンタクトホールの上に挟まれた状態で配置され、

前記第3のコンタクトホール群は、前記第4のコンタクトホール群の隣接しあうコンタクトホールの上に挟まれた状態で配置されていることを特徴とする半導体集積回路装置。

【請求項 7】 前記第1のコンタクトホール群は予め定められた所定のコンタクトホール数に応じて複数のグループに分割され、該グループ毎に前記第2のコンタクトホール群の隣接しあうコンタクトホールの上に挟まれた状態で配置され、

前記第3のコンタクトホール群は前記所定のコンタクトホール数に応じて複数のグループに分割され、該グループ毎に前記第4のコンタクトホール群の隣接しあうコンタクトホールの上に挟まれた状態で配置されていることを特徴とする請求項6に記載の半導体集積回路装置。

【請求項 8】 前記第1のコンタクトホール群の前記所定のコンタクトホール数に応じて複数のグループに分割されたそれぞれのコンタクトホールは一定の間隔で配置され、

前記第3のコンタクトホール群の前記所定のコンタクトホール数に応じて複数のグループに分割されたそれぞれのコンタクトホールは一定の間隔で配置されていることを特徴とする請求項7に記載の半導体集積回路装置。

【請求項 9】 前記第2のコンタクトホール群と隣接する前記第1のコンタクトホール群のコンタクトホールとの距離は一定の値であることを特徴とする請求項6乃至請求項8に記載の半導体集積回路装置。

【請求項 10】 前記第1の拡散領域は前記第2の方向に沿った第1および第2の辺と、

前記第1の方向に沿いかつ前記第2の拡散領域に対向する第3の辺と、

前記第1の辺から前記第1の辺に最も近い前記第1のコンタクトホール群の端部までの距離として定義される第1の距離と、

前記第2の辺から前記第2の辺に最も近い前記第1のコンタクトホール群の端部までの距離として定義される第2の距離と、

前記第3の辺から前記第3の辺に最も近い前記第1のコンタクトホール群の端部までの距離として定義される第3の距離とを有し、

前記第2の拡散領域は前記第2の方向に沿った第4および第5の辺と、

前記第1の方向に沿いかつ前記第1の拡散領域に対向する第6の辺と、

前記第4の辺から前記第4の辺に最も近い前記第3のコンタクトホール群の端部までの距離として定義される第4の距離と、

前記第5の辺から前記第5の辺に最も近い前記第3のコンタクトホール群の端部までの距離として定義される第5の距離と、

前記第6の辺から前記第6の辺に最も近い前記第3のコンタクトホール群の端部までの距離として定義される第6の距離とを有し、

前記第1の距離および前記第2の距離は共に前記第3の距離以上の値であり、前記第4の距離および前記第5の距離は共に前記第6の距離以上の値であることを特徴とする請求項6あるいは請求項7に記載の半導体集積回路装置。

【請求項 11】 入出力端子に接続される入力用の第1のトランジスタおよび出力用の第2のトランジスタであって、

前記第1のトランジスタは、

半導体基板上に第1の方向に延在して形成されかつ第2の方向に並んで形成される第1および第2の不純物拡散領域と、

前記第1の不純物拡散領域上に形成された第1の抵抗率を有する第1の導電層と

前記第1の不純物拡散領域と前記第1の導電層とを接続し、前記第1の方向に関して複数個並んで配置された第1のコンタクトホール群と、

前記第1の導電層上に形成され第2の抵抗率を有する第2の導電層と、

前記第1の不純物拡散領域の上部で前記第1の導電層と前記第2の導電層とを接続し、前記第1の方向に関して複数個並んで配置された第2のコンタクトホール群と、

前記第2の不純物拡散領域上に形成された前記第1の抵抗率を有する第3の導電

層と、

前記第2の不純物拡散領域と前記第3の導電層とを接続し、前記第1の方向に関して複数個並んで配置された第3のコンタクトホール群と、

前記第3の導電層上に形成された前記第2の抵抗率を有する第4の導電層と、

前記第2の不純物拡散領域の上部で前記第3の導電層と前記第4の導電層とを接続し、前記第1の方向に関して複数個並んで配置された第4のコンタクトホール群とを有し、

前記第1のコンタクトホール群は、前記第2のコンタクトホール群のコンタクトホールの間に挟まれた状態で予め定められた所定数ずつ配置され、該所定数ずつ配置されたコンタクトホールは隣接するコンタクトホールと第1の所定間隔を有しており、

前記第3のコンタクトホール群は、前記第4のコンタクトホール群のコンタクトホールの間に挟まれた状態で前記所定数ずつ配置され、該所定数ずつ配置されたコンタクトホールは前記第1の所定間隔を有している前記第1のトランジスタと、

半導体基板上に第3の方向に延在して形成されかつ第4の方向に並んで形成される第3および第4の不純物拡散領域と、

前記第3の不純物拡散領域上に形成された第1の抵抗率を有する第5の導電層と

前記第3の不純物拡散領域と前記第5の導電層とを接続し、前記第3の方向に関して複数個並んで配置された第5のコンタクトホール群と、

前記第5の導電層上に形成され第2の抵抗率を有する第6の導電層と、

前記第3の不純物拡散領域の上部で前記第5の導電層と前記第6の導電層とを接続し、前記第3の方向に関して複数個並んで配置された第6のコンタクトホール群と、

前記第4の不純物拡散領域上に形成された前記第1の抵抗率を有する第7の導電層と、

前記第4の不純物拡散領域と前記第7の導電層とを接続し、前記第3の方向に関して複数個並んで配置された第7のコンタクトホール群と、

前記第7の導電層上に形成された前記第2の抵抗率を有する第8の導電層と、



前記第4の不純物拡散領域の上部で前記第7の導電層と前記第8の導電層とを接続し、前記第3の方向に関して複数個並んで配置された第8のコンタクトホール群とを有し、

前記第5のコンタクトホール群は、前記第6のコンタクトホール群のコンタクトホールの間に挟まれた状態で前記所定数ずつ配置され、該所定数ずつ配置されたコンタクトホールは隣接するコンタクトホールと前記第1の所定間隔を有しており、

前記第7のコンタクトホール群は、前記第8のコンタクトホール群のコンタクトホールの間に挟まれた状態で前記所定数ずつ配置され、該所定数ずつ配置されたコンタクトホールは前記第1の所定間隔を有している前記第2のトランジスタとを有することを特徴とする半導体集積回路装置。

【請求項 12】 前記第1の方向に沿いかつ前記第2の拡散領域に対向する前記第1の拡散領域における第1の辺と、

前記第1の方向に沿いかつ前記第1の拡散領域に対向する前記第2の拡散領域における第2の辺と、

前記第3の方向に沿いかつ前記第4の拡散領域に対向する前記第3の拡散領域における第3の辺と、

前記第3の方向に沿いかつ前記第3の拡散領域に対向する前記第4の拡散領域における第4の辺と、

前記第1の辺と前記第2の辺との距離として定義される第1の距離と、

前記第3の辺と前記第4の辺との距離として定義される第2の距離とを有し、

前記第1の距離および前記第2の距離は等しい値であることを特徴とする請求項 11記載の半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体集積回路に係わるものであり、特にそのレイアウトパターンに関するものである。

【0002】

【従来技術の説明】

従来、入力保護回路や、出力回路などパッド近傍において静電気などのサージに対しての耐性を考慮しなければならないようなMOSトランジスタには高抵抗となるポリシリコン配線を利用したトランジスタが用いられ、ポリシリコン配線の抵抗成分を利用する事でサージ電圧を緩和していた。

【0003】

図3は出力回路を示す回路図である。図4-Bは従来の回路におけるNMOSトランジスタのパターンレイアウト図、図4-Aは図4-Bの断面図を模式的に表したものである。以下、図面を用いて出力回路およびレイアウトについて説明する。

【0004】

図3に示すように出力回路におけるNMOSトランジスタ301はゲートが内部回路のからの出力端子302にドレインが出力端子303にソースはGND304に接続されている。ここでNMOSトランジスタ301はゲートに与えられる信号がHレベルの場合には導通状態となり出力端子303にLレベルを出力し、ゲートに与えられる信号がLレベルの場合には非導通状態となり出力端子303にHレベルを出力する。

【0005】

このような回路に用いられるNMOSトランジスタの従来のパターンレイアウトについてさらに詳細に説明する。

【0006】

NMOSトランジスタは図4-Aに示すようにソース405の部分が第1のコンタクト401を介してソース領域上に配置されたポリシリコン配線層402に接続されている。

【0007】

さらにポリシリコン配線層402は同じくソース405領域上に配置された第1のメタル層403に第2のコンタクト404を介して接続され、第1のメタル層403によりGNDに接続されている。

## 【0008】

ドレイン406の部分はソース405の部分と同様に第1のコンタクト401を介してドレイン領域上に配置されたポリシリコン配線層402に接続され、ポリシリコン配線層402はドレイン406領域上に配置された第1のメタル層403に第2のコンタクト404を介して接続され、第1のメタル層403により出力端子に接続されている。

## 【0009】

ここでポリシリコン層402のもつ抵抗成分を均等に配分するために前記コンタクト401、およびコンタクト404は上面から見た場合、図4-Bに示すように交互になるように配置されている。

## 【0010】

## 【発明が解決しようとする課題】

しかしながら、上記の従来の回路では第1のコンタクト401のコンタクト抵抗値と第2のコンタクト404のコンタクト抵抗値との差を考慮せずに交互に配置するため、全コンタクトのトータルの抵抗値が大きくなってしまふ。コンタクト部分の抵抗値が大きくなってしまふことで、最終的に形成されるのMOSトランジスタのI-V特性が劣化してしまふという問題があった。

## 【0011】

## 【課題を解決するための手段】

前記課題を解決するために本発明の代表的な構成によれば、半導体基板上にソースまたはドレインとして形成された不純物拡散領域と、前記不純物拡散領域上に形成された第1の抵抗率を有する第1の導電層と、前記不純物拡散領域と前記第1の導電層とを接続する第1のコンタクトホール群と、前記第1の導電層上に形成された第2の抵抗率を有する第2の導電層と、前記不純物拡散領域の上部で前記第1の導電層と前記第2の導電層とを接続する第2のコンタクトホール群とを有する半導体装置であって、前記第1のコンタクトホール群と前記第2のコンタクトホール群とでは、それぞれのコンタクトホールの総数が異なることを特徴とする。

## 【0012】

## 【発明の実施の形態】

## (第1の実施の形態)

本発明第1の実施の形態における出力回路を示す回路図は図3と同様である。図3に示すように出力回路におけるNMOSトランジスタ301はゲートが内部回路からの出力端子302にドレインが出力端子303にソースはGND304に接続されている。ここでNMOSトランジスタ301はゲートに与えられる信号がHレベルの場合には導通状態となり出力端子303にLレベルを出力する。またゲートに与えられる信号がLレベルの場合には非導通状態となり出力端子303にHレベルを出力する。

## 【0013】

図1は図3のNMOSトランジスタ301において、本発明を利用した場合のパターンレイアウトを示す図である。以下図1を用いて本発明におけるNMOSトランジスタのレイアウト構成について説明する。

## 【0014】

ソース105、ドレイン106、それぞれの領域上には第1層目の高抵抗配線層となるポリシリコン層102と第2層目の低抵抗配線層となる第1メタル層103が形成されている。

## 【0015】

NMOSトランジスタのソース105及びドレイン106部分と第1層目の配線層であるポリシリコン層102は複数個の第1のコンタクト101を介して接続されている。第1のコンタクト101はそれぞれ $0.6\mu\text{m} \times 0.7\mu\text{m}$ のサイズで形成されている。ソースあるいはドレインの部分と第1層目の配線との間のコンタクト抵抗値はシート抵抗で考えたときに $170\Omega/\text{unit}$ である。

## 【0016】

また第1層目の配線層であるポリシリコン層102と第2層目の配線層である第1メタル層103は複数個の第2のコンタクト104を介して接続されている。第2のコンタクト104はそれぞれ $0.7\mu\text{m} \times 0.7\mu\text{m}$ のサイズで形成されている。第1層目の配線102と第2層目の配線103との間のコンタクト抵抗値はシート抵抗で考えたときに $9.5\Omega/\text{unit}$ である。

## 【0017】

ここでソース領域105、ドレイン領域106ともに第1のコンタクト101が形成さ

れる部分のコンタクト抵抗値は第2のコンタクト104が形成される部分のコンタクト抵抗値よりも大きい値である。

#### 【0018】

図1に示されるように、本発明のパターンレイアウトにおいては、全体としての抵抗値を下げるために第1のコンタクト101は第2のコンタクト104に挟まれた範囲内で、所定の間隔をおいて複数個配置されている。本実施の形態においては、2つの第2のコンタクト104に挟まれた状態で、5つの第1のコンタクト101が配置されている。第1のコンタクト101同士の間隔L1はそれぞれ $L1=1\mu\text{m}$ で一定の値となっている。

#### 【0019】

第1のコンタクト101と第2のコンタクト104とが隣り合う場合の距離L2も所定の値となるように配置され図1においては $1\mu\text{m}$ としている。

#### 【0020】

また第1のコンタクト101はソース105あるいはドレイン106の端部からの距離L3とゲート電極からの距離L4が $L3 \geq L4$ という関係を満たすように配置されている。本実施の形態では $L3=L4=5.25\mu\text{m}$ である。

第2層目の配線層である第1メタル層103は図3に示す回路図にしたがって、ソース領域105上の第1メタル層103はGNDへと接続され、ドレイン領域106上の第1メタル層103は出力端子へと接続されている。

#### 【0021】

以下、本発明第1の実施の形態の動作について説明する。図2にNMOSトランジスタのドレイン電圧に対するドレイン電流の特性（I-V特性）を示す。図2に示す特性は図3におけるNMOSトランジスタ301自身のオン抵抗値を $30\Omega$ とした場合である。

#### 【0022】

図1のような本発明におけるレイアウトパターンを使用すると、第1のコンタクトの抵抗値は $34\Omega$ （ $170/5$ ）となり、第2のコンタクトの抵抗値は $4.8\Omega$ （ $9.5/2$ ）となる。したがってNMOSトランジスタのオン抵抗は $30+34+4.8=68.8\Omega$ となる。ここでNMOSトランジスタが実際に動作

するドレイン電圧は1.6V程度である。このドレイン電圧が1.6Vの状態では23.3mAの電流が流れる事になる。

【0023】

これに対し図4-Aに示されるような従来のレイアウトパターンを使用して、I-V特性を計測すると、第1のコンタクト抵抗値は $56\Omega$  ( $170/3$ ) となり、第2のコンタクトの抵抗値は $2.4\Omega$  ( $9.5/4$ ) となる。

【0024】

したがって全体としてのオン抵抗は $30 + 56 + 2.4 = 88.4\Omega$ となる。つまり、ドレイン電圧が1.6Vの状態では19mAの電流しか流れない事となる。

【0025】

一切のコンタクト抵抗が無いと仮定した理想的な状態のI-V特性においては、1.6Vのとき52.8mAの電流が流れる。本発明におけるパターンレイアウトを利用したNMOSトランジスタでは、この理想的な状態と比較して44%減少した電流が流れる。これに対し従来のパターンレイアウトを利用したNMOSトランジスタでは64%も電流が減少してしまう事となる。

【0026】

つまり本発明を利用する事で20%程度の改善が見込める事になる。このように全体としての抵抗値を下げるために、第1のコンタクト101を第2のコンタクト104に挟まれた範囲内で複数個配置する事により、従来に比べNMOSトランジスタの全体としてのオン抵抗を低下させ、電流駆動能力を向上させる事が可能となる。

【0027】

また複数の第1のコンタクト101を第2のコンタクト104で挟み込むように配置しているため、第1の配線層、第2の配線層どちらにも全体としてバランス良く電流を流す事が可能となる。

【0028】

また複数個配置する第1のコンタクト101の間隔を予め定められた一定の間隔とする事により、仮に出力端子に静電気などのサージが入力された場合でも、各コ

ンタクト101の間に挟まれているポリシリコン配線層101の長さが等しい。つまりコンタクト101の間に挟まれているポリシリコン層の個々の抵抗値が等しくなる。この事により、サージ電圧などが均等に分配され、全体としてのサージ電圧に対する耐性をより安定化させる事が可能となる。

## 【0029】

また第1のコンタクト101はソース105あるいはドレイン106の端部からの距離 $L_3$ とゲート電極とコンタクトの距離 $L_4$ が $L_3 \geq L_4$ という関係を満たすように配置されているので、静電気などのサージが入力された場合に、そのサージ電圧が拡散領域の端部と端部に最も近い第1のコンタクト101との間に位置する部分に集中的にかかってしまい、拡散領域にダメージを与えてしまう恐れもない。

## 【0030】

## (第2の実施の形態)

図5は本発明第2の実施の形態における入出力回路を示す回路図である。図5に示すように出力回路におけるNMOSトランジスタ510はゲートが内部回路502からの出力端子503に、ドレインが入出力端子501に、ソースはGND504に接続されている。ここでNMOSトランジスタ510はゲートに与えられる信号がHレベルの場合には導通状態となり入出力端子501にLレベルを出力し、ゲートに与えられる信号がLレベルの場合には非導通状態となり入出力端子501にHレベルを出力する。

## 【0031】

また入力回路におけるNMOSトランジスタ520はドレインが入出力端子501に、ソースおよびゲートがGND504に接続されている。このNMOSトランジスタ520は出力回路におけるNMOSトランジスタ510と共に入出力端子501への静電気のサージ等をGND504へと逃がす保護素子の役割を果たしている。

## 【0032】

図6-Aおよび図6-Bはそれぞれ、図5におけるNMOSトランジスタ510および520のパターンレイアウトを示す図である。以下図5および図6を用いて本発明におけるトランジスタのレイアウト構成について説明する。

## 【0033】

図6に示すように図5における出力回路側のNMOSトランジスタ510ではそのアクティブ領域上にゲート長が $L_G=0.9\mu\text{m}$ のゲート電極619が形成されている。ソース615およびドレイン616の領域上には第1層目の高抵抗配線層となるポリシリコン層612と第2層目の配線層となる第1メタル層613が形成されている。

## 【0034】

NMOSトランジスタのソース615及びドレイン616と第1層目の配線層であるポリシリコン層612は、それぞれ複数個の第1のコンタクト611を介して接続されている。第1のコンタクトのサイズはそれぞれ $0.6\mu\text{m}\times 0.7\mu\text{m}$ のサイズで形成されている。

## 【0035】

また第1層目の配線層であるポリシリコン層612と第2層目の配線層である第1メタル層613は複数個の第2のコンタクト614を介して接続されている。第2のコンタクト614はそれぞれ $0.6\mu\text{m}\times 0.7\mu\text{m}$ のサイズで形成されている。

## 【0036】

ここでソース領域615、ドレイン領域616ともに第1のコンタクト611が形成される部分のコンタクト抵抗値は第2のコンタクト614が形成される部分のコンタクト抵抗値よりも大きい値である。

## 【0037】

図6に示されるように、本発明のパターンレイアウトにおいては、全体としての抵抗値を下げるために第1のコンタクト611は第2のコンタクト614に挟まれた範囲内で、所定の間隔をおいて複数個配置されている。本実施の形態においては、第2のコンタクト614が3ヶ所に配置され、コンタクト614同士の間に位置する部分のそれぞれに4個の第1のコンタクト611が配置されている。第1のコンタクト同士の間隔 $L_1$ はそれぞれ $1\mu\text{m}$ で一定の値となっている。

## 【0038】

また隣り合う第1のコンタクトと第2のコンタクトの距離 $L_2$ も等しい値となるように配置され、 $1\mu\text{m}$ としている。また第1のコンタクト611はソース領域615、ドレイン領域616の端部からの距離 $L_3$ とゲート電極とコンタクトの距離 $L_4$ が



$L3 \geq L4$ という関係を満たすように配置されている。本実施の形態では  $L3 = L4 = 5.25 \mu m$  である。

## 【0039】

図5における入力回路側のNMOSトランジスタ520では、図6-Bに示すようにそのアクティブ領域620上にゲート長が  $L_G = 0.9 \mu m$  のゲート電極629が形成されている。ソース領域625およびドレイン領域626上には第1層目の高抵抗配線層となるポリシリコン層622と第2層目の配線層となる第1メタル層623が形成されている。

## 【0040】

第1および第2のコンタクトとそれぞれの配線層との関係は出力回路における関係と同じである。入力回路側ではアクティブ領域の幅が出力回路の部分よりも広いため、第2のコンタクト623の数が出力側と違って4ヶ所に配置されている点のみが出力側と違う点である。

## 【0041】

つまり、第1のコンタクト同士の間隔  $L1$  は出力回路に形成されるトランジスタにおいて設定されている間隔と同一のものとし、本実施の形態では  $1 \mu m$  で一定としている。また第1のコンタクトと第2のコンタクトとの間隔  $L2$  は全て出力回路に形成されるトランジスタにおいて設定されている間隔と同一の値とし、これも本実施の形態では  $1 \mu m$  としている。

## 【0042】

以下、前述の静電気のサージが図5における入出力端子501に印加された場合の動作を例にして詳細に説明する。

## 【0043】

図5における入出力端子501に静電気などにより  $-1000V$  程度の負の電圧が印加された場合、NMOSトランジスタ510、520はそれぞれオン状態となり、GNDより入出力端子501へと電流が流れる事により、印加された静電気を逃がす働きをする。

## 【0044】

この時、入力回路側のNMOSトランジスタ520と出力回路側のNMOSトラ

ンジスタ520に差異がある場合、この印加された電圧を逃がすための電流は、どちらか片側により多く流れてしまう事になる。このようにどちらか一方により多くの電流が流れてしまうと、多くの電流が流れる側に負荷が集中してしまい、回路全体としての静電気などに対する耐性を低下させてしまう。

## 【0045】

従って、第2の実施の形態においては上述したように入力側と出力側において、そのゲート長などが等しくなるように形成する。またコンタクトの配置間隔等も入力側と出力側で等しくなるように調整する。このように構成することで両方のNMOSトランジスタに均等の電流が流れ、負荷が入力側と出力側とで均等に分配される。

## 【0046】

つまり第2の実施の形態では、第1の実施の形態の効果に加え、入力側と出力側のNMOSトランジスタのそれぞれのパターンレイアウトを、同一の関係を持つ構成とすることにより、回路全体としての静電気などに対する耐性の向上を図る事が可能となる。

## 【0047】

以上、本発明における第1のコンタクトと第2のコンタクトの数の比は、目的とする全体の抵抗値などにより適宜変更可能であるが、本発明の効果を充分に得るためには第1のコンタクトの一つ当りの抵抗値が第2のコンタクトの一つ当りの抵抗値の10倍以上にはならないように設計するのが望ましい。

## 【0048】

## 【発明の効果】

本発明によれば、このようにトランジスタの全体としての抵抗値を下げるために、第1のコンタクトを第2のコンタクトに挟まれた範囲内で複数個配置する事により、従来に比べNMOSトランジスタの全体としてのオン抵抗を低下させ、電流駆動能力を向上させる事が可能となる。

## 【図面の簡単な説明】

## 【図1】

本発明第1の実施の形態のパターンレイアウトを示すレイアウト図。

【図 2】

本発明を実施したことによる特性の向上を示す I-V 特性図

【図 3】

出力回路を示す回路図

【図 4】

従来のパターンレイアウトを示すレイアウト図。

【図 5】

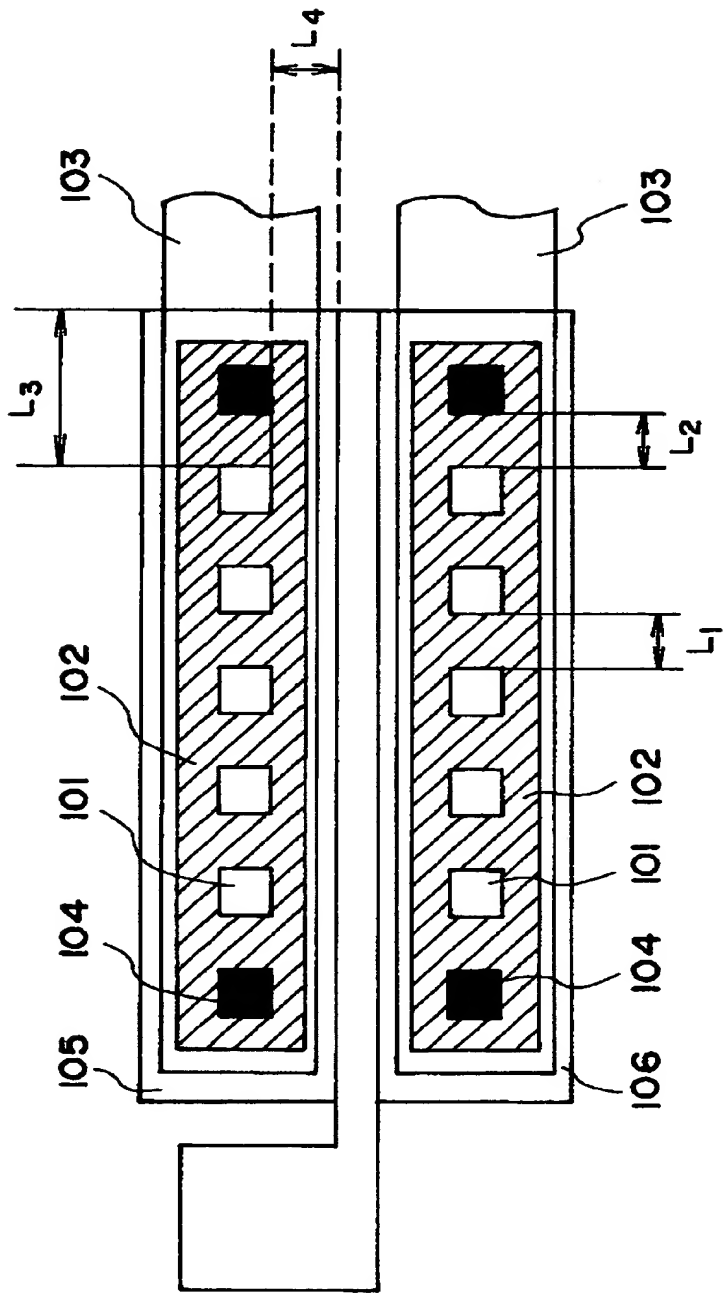
入出力回路を示す回路図

【図 6】

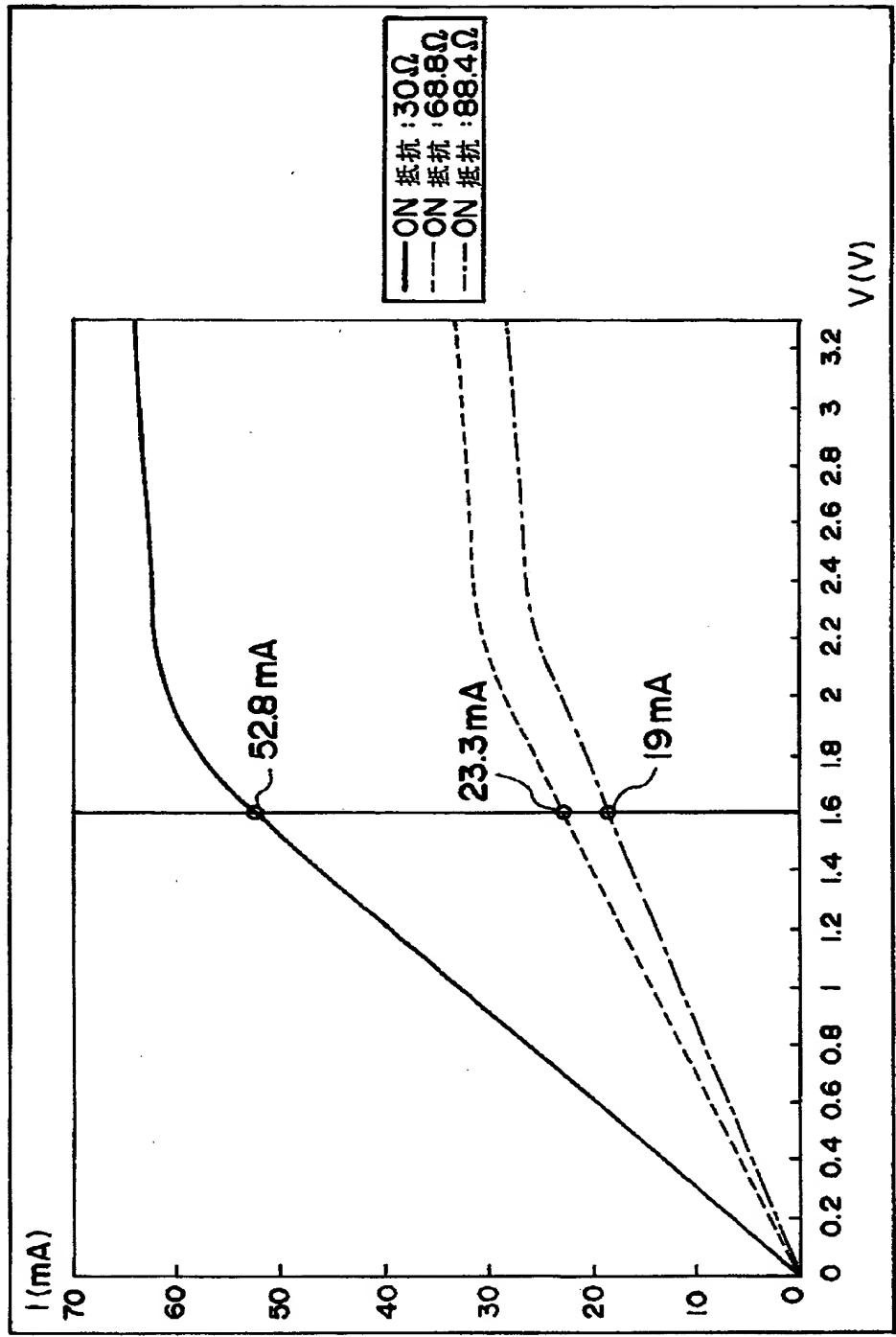
本発明第2の実施の形態のパターンレイアウトを示すレイアウト図。

【書類名】 図面

【図 1】

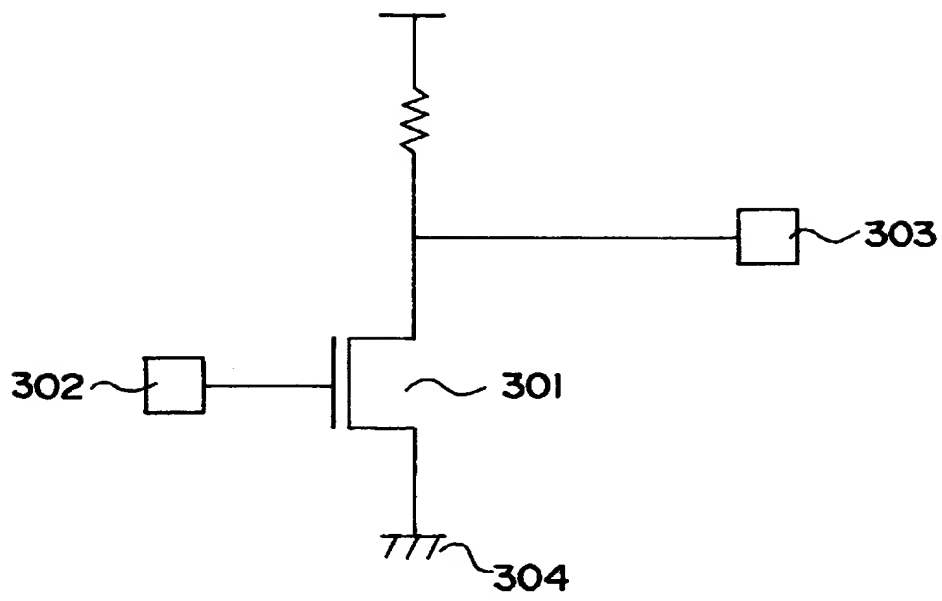


【図 2】



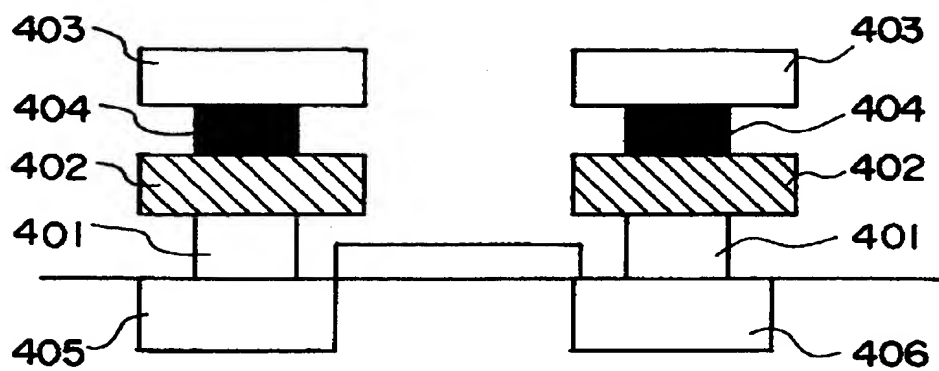
従来例および本発明の第 1 の実施例を説明するための  $I-V$  特性グラフ

【図 3】

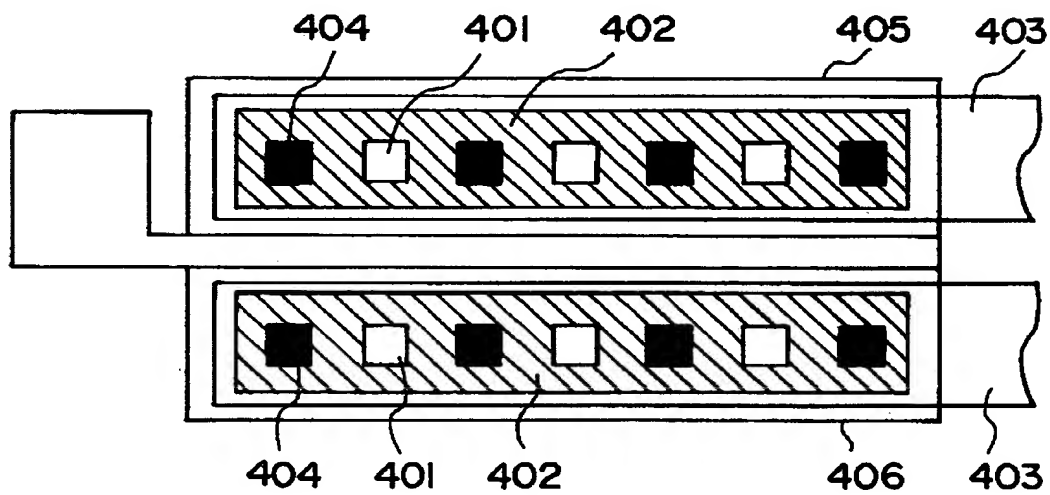


【図4】

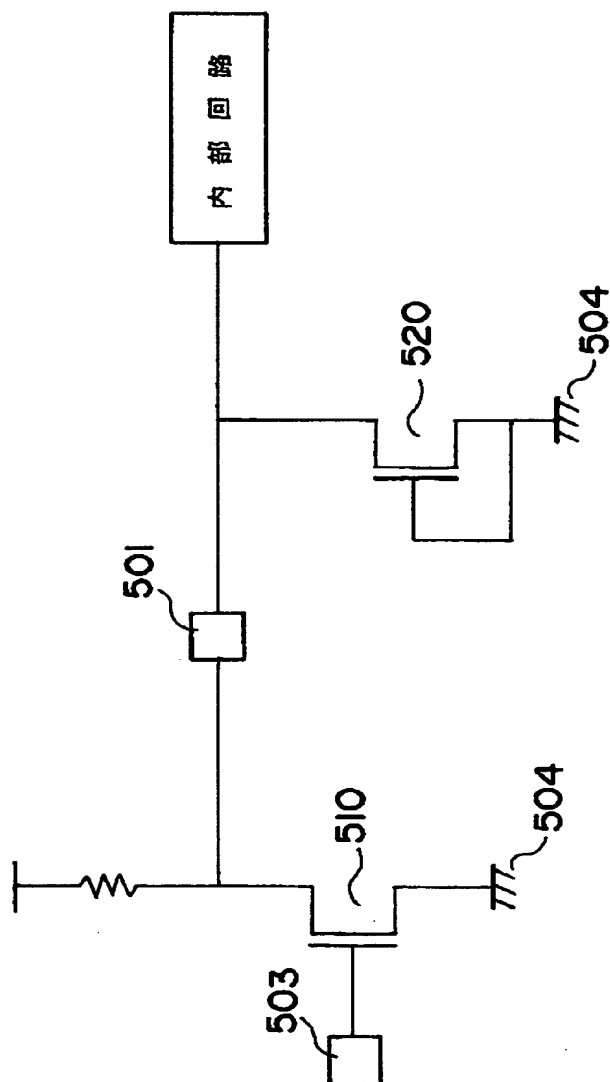
(A)



(B)

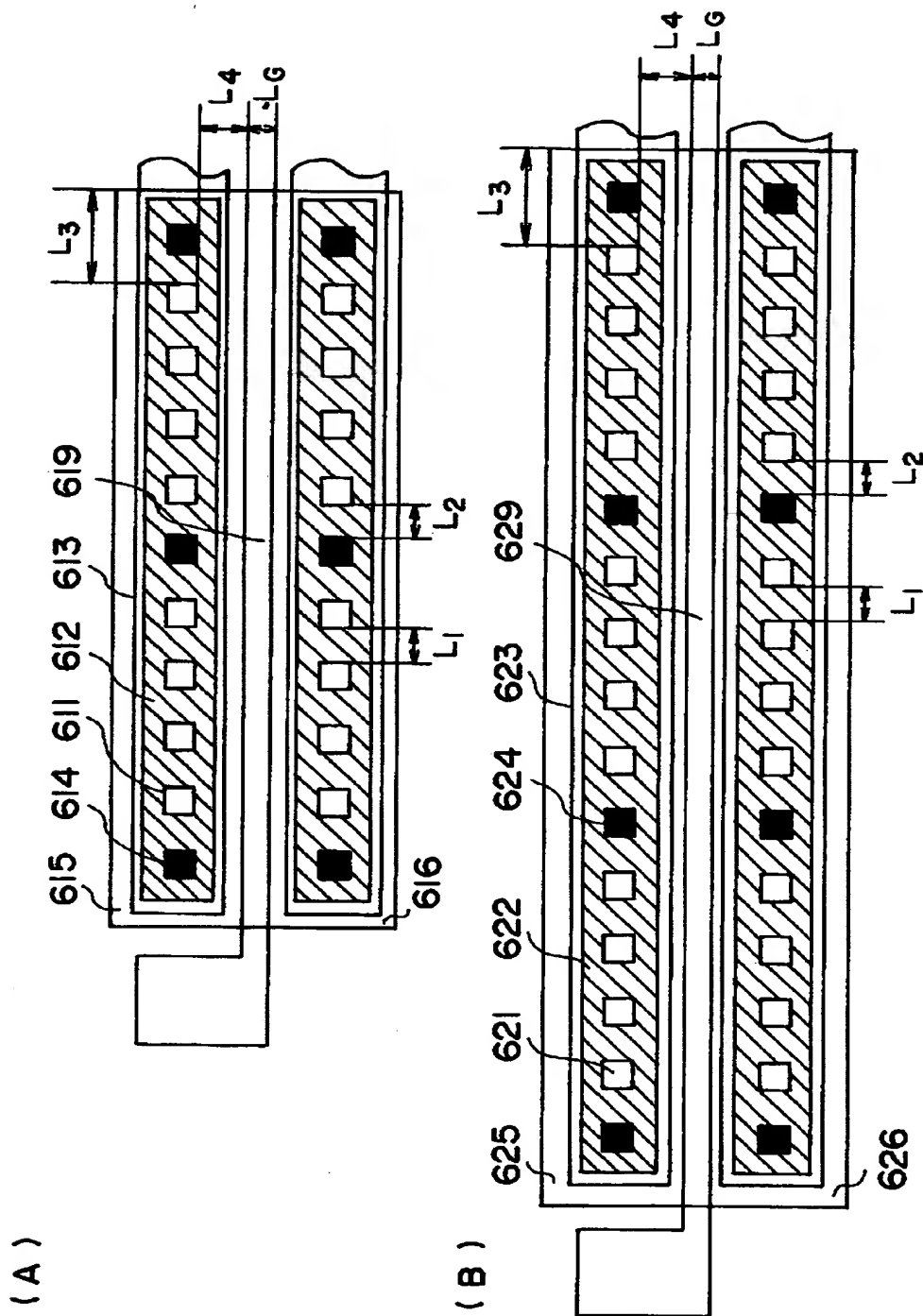


【図 5】





【図 6】



【書類名】 要約書

【要約】

【課題】 異なる配線層間を接続するコンタクト抵抗の違いによる全体としての抵抗値の増加を防止する。

【解決手段】 不純物拡散領域上に形成された第1の抵抗率を有する第1の導電層と、不純物拡散領域と第1の導電層とを接続する第1のコンタクトホール群と、第1の導電層上に形成された第2の抵抗率を有する第2の導電層と、不純物拡散領域の上部で第1の導電層と第2の導電層とを接続する第2のコンタクトホール群とを有する半導体装置において、第1のコンタクトホール群と第2のコンタクトホール群とでは、それぞれのコンタクトホールの総数が異なる。

【選択図】 図1

【書類名】 職権訂正データ  
【訂正書類】 特許願

<認定情報・付加情報>

【特許出願人】  
【識別番号】 000000295  
【住所又は居所】 東京都港区虎ノ門1丁目7番12号  
【氏名又は名称】 沖電気工業株式会社  
【代理人】 申請人  
【識別番号】 100089093  
【住所又は居所】 東京都江東区青海二丁目38番 テレコムセンタ  
イーストテレコムタワー17階 沖電気工業株式会  
社内  
【氏名又は名称】 大西 健治

出 願 人 履 歴 情 報

識別番号 [000000295]

1. 変更年月日 1990年 8月22日  
[変更理由] 新規登録  
住 所 東京都港区虎ノ門1丁目7番12号  
氏 名 沖電気工業株式会社